

RECEIVED

FEB 21 2001

TC 2100 MAILROOM

Japanese Patent Laid-Open No. 272754/1996

Laid-Open Date: October 18, 1996

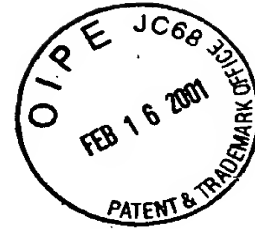
Application No. 72592/1995

Application Date: March 30, 1995

Request for Examination: Made

Inventor: Masahito Nishida

Applicant: NEC Corporation



Title:

MULTIPROCESSOR SYSTEM

Abstract:

Purpose: To easily form a virtual address space, easily perform a programming process and perform a data access at high speed.

Constitution: In a multiprocessor system formed by connecting n pieces clusters 100-1 to n together by an interconnecting network, each of the clusters 100-1 to n includes m sets of processors 110-1 to m, an address converter 200 and a main storage device 300. The address converter 200 applies an address conversion to a virtual address on the basis of a memory access request supplied from a processor 110. A memory access to another cluster is transferred to the cluster through the interconnecting network 400. The virtual address includes a job number and is identified completely for the multiprocessor system.

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-272754

(43) 公開日 平成8年(1996)10月18日

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	FI	技術表示箇所
G 0 6 F 15/183			G 0 6 F 15/18	3 2 0 G
9/46	3 6 0		9/46	3 6 0 B

審査請求 有 請求項の数 5 頁 (全 8 頁)

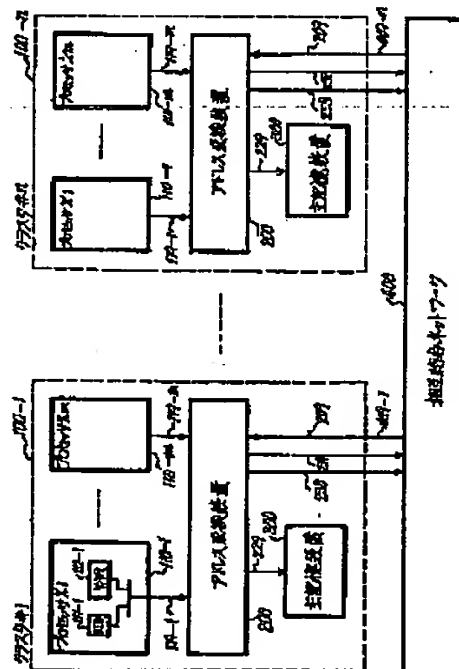
<p>(21) 出願番号 特願平7-72592</p> <p>(22) 出願日 平成7年(1995)3月30日</p>	<p>(71) 出願人 000004237 日本電気株式会社 東京都港区芝五丁目7番1号</p> <p>(72) 発明者 西田 稔人 東京都港区芝五丁目7番1号 日本電気株式会社社内</p> <p>(74) 代理人 弁護士 京本 直樹 (外2名)</p>
---	---

## (54) 【発明の名称】 マルチプロセッサシステム

## (57) 【要約】

【目的】 アドレス空間の仮想化を容易にし、プログラミングの容易化、データアクセスの高速化を図る。

【構成】  $n$  個のクラスタ 100-1 ~  $n$  を相互結合ネットワークで結合して構成されるマルチプロセッサシステムにおいて、クラスタ 100-1 ~  $n$  の各々は、 $m$  個のプロセッサ 110-1 ~  $m$  と、アドレス変換装置 200 と、主記憶装置 300 を含んで構成される。アドレス変換装置 200 は、プロセッサ 110 から与えられたメモリアクセスリクエストについて仮想アドレスをアドレス変換し、他クラスタに対するメモリアクセスであれば相互結合ネットワーク 400 を介してそのクラスタに転送する。仮想アドレスはジョブ番号を含み、マルチプロセッサシステム全体として一意に識別される。



# 【特許請求の範囲】

【請求項1】 少なくとも一つのプロセッサと主記憶装置とを各々含む複数のクラスタを有するマルチプロセッサシステムにおいて、前記各主記憶装置に対するアドレスとしてジョブ毎に異なる仮想アドレスを付与することを特徴とするマルチプロセッサシステム。

【請求項2】 少なくとも一つのプロセッサとアドレス変換装置と主記憶装置とを各々含む複数のクラスタを相互結合ネットワークを介して結合するマルチプロセッサシステムにおいて、

前記プロセッサの各々は、実行中のジョブの識別番号を保持するジョブ識別番号レジスタを有して仮想アドレスの一部として前記識別番号を出力し、

前記アドレス変換装置は、当該クラスタ内のプロセッサからのメモリリクエストおよび当該クラスタ以外のクラスタからのメモリアクセスリクエストのいずれか一つについて、当該クラスタ内の主記憶装置に対するリクエストであるかまたは当該クラスタ以外のクラスタの主記憶装置に対するリクエストであるかを判断して、当該クラスタ内の主記憶装置に対するリクエストであれば前記仮想アドレスを当該クラスタ内の主記憶装置の物理アドレスに変換し、当該クラスタ以外のクラスタの主記憶装置に対するリクエストであればそのアクセス先クラスタの番号を生成して前記相互結合ネットワークに転送することを特徴とするマルチプロセッサシステム。

【請求項3】 少なくとも一つのプロセッサとアドレス変換装置と主記憶装置とを各々含む複数のクラスタを相互結合ネットワークを介して結合するマルチプロセッサシステムにおいて、

前記プロセッサの各々は、実行中のジョブの識別番号を保持するジョブ識別番号レジスタを有して仮想アドレスの一部として前記識別番号を出力し、

前記アドレス変換装置は、当該クラスタ内のプロセッサからのメモリリクエストおよび当該クラスタ以外のクラスタからのメモリアクセスリクエストのいずれか一つを選択し、当該クラスタ内の主記憶装置に対するリクエストであるかまたは当該クラスタ以外のクラスタの主記憶装置に対するリクエストであるかを判断する競合調停回路と、

当該クラスタ内の主記憶装置に対するリクエストについて前記仮想アドレスを当該クラスタ内の主記憶装置の物理アドレスに変換して当該クラスタ内の主記憶装置にアクセスするクラスタ内アドレス変換回路と、

当該クラスタ以外のクラスタの主記憶装置に対するリクエストであればそのアクセス先クラスタに一意に付与された物理クラスタ番号を生成してそのクラスタにリクエストを転送するクラスタ外アドレス変換回路とを含むことを特徴とするマルチプロセッサシステム。

【請求項4】 前記仮想空間は、前記ジョブ識別番号と、ジョブ毎に前記クラスタに対して付与される論理ク

ラスト番号と、論理アドレスの管理単位である部分空間に付与される部分空間番号と、前記部分空間内のオフセットアドレスとから成る仮想アドレスにより識別され、前記クラスタ内アドレス変換回路は、前記物理アドレスの一部を複数個格納し前記ジョブ識別番号と前記部分空間番号との対により索引されるクラスタ内アドレス変換テーブルを有し、

前記クラスタ外アドレス変換回路は、前記ジョブ識別番号と前記物理クラスタ番号との対を複数個格納し前記ジョブ識別番号と前記論理クラスタ番号との対により索引されるクラスタ外アドレス変換テーブルを有することを特徴とする請求項3記載のマルチプロセッサシステム。

【請求項5】 前記プロセッサは、当該クラスタ内の主記憶装置に対するメモリアクセスリクエストを発行する際にはクラスタ内アクセスである旨を示すように前記論理クラスタ番号を置換し、

前記競合調停回路は、他クラスタからのメモリアクセスリクエストについてクラスタ内アクセスである旨を示すように前記論理クラスタ番号を置換することを特徴とする請求項4記載のマルチプロセッサシステム。

## 【発明の詳細な説明】

### 【0001】

【産業上の利用分野】本発明は、マルチプロセッサシステムに関し、特に複数のプロセッサを含むクラスタを複数有するマルチプロセッサシステムに関する。

### 【0002】

【従来の技術】従来この種の技術では、大きく分けると、共有メモリ型マルチプロセッサシステムと分散メモリ型マルチプロセッサシステムの2種類がある。共有メモリ型マルチプロセッサシステムでは、1つの主記憶装置を複数のプロセッサが共有する構成を有する。また、分散メモリ型マルチプロセッサシステムでは、各プロセッサがローカルメモリを有し、このプロセッサとメモリのセットを複数接続して構成する。

【0003】共有メモリシステムでは、どのプロセッサも同一主記憶装置にアクセスするため、各プロセッサは同一のアドレス空間で管理され、各プロセッサ間での同期を容易にとることができるという利点があるが、1つの資源に対して多数のプロセッサを接続することになるため、物理的な限界やスループットの限界等から、接続できるプロセッサの数に限界がある。一方、分散メモリ型マルチプロセッサシステムでは、プロセッサ間の接続部分を工夫することにより、上述のような接続台数の制限を緩和することが可能である。しかしこの場合、各プロセッサ内に閉じたメモリアクセスは高速にアクセスできるが、プロセッサ間のスループットを高くすることが困難なため、プロセッサ間におけるデータのやりとりが発生するアプリケーションでの性能低下が大きい。

【0004】そこで、上記2つのシステムの中間的なものととして、複数の共有メモリシステムを、相互結合ネッ

トワークで接続するクラスタ接続型マルチプロセッサシステムが提案されている。

【0005】

【発明が解決しようとする課題】上述の従来技術では、マルチプロセッサシステムの共有メモリアクセスのためのアドレス変換テーブルは、プロセッサ毎にジョブ毎に行う必要があったため、ハードウェア資源を多く必要とするという問題があった。また、アドレス変換テーブルが各プロセッサ独立に管理を行う必要があるため、例えば複数のプロセッサで同一ジョブに属する異なる処理を並列に行うような場合において、各プロセッサのアドレス空間を一致させるための、ページテーブル等の、管理が複雑になるといった問題があった。

【0006】一方、クラスタ型マルチプロセッサシステムでは、クラスタ間のメモリアクセス又は入出力アクセスが、例えばメッセージパッシングのような方式により実現されることも多く、この通信にかかるオーバーヘッドが大きくなり、クラスタをまたがるデータのアクセスが非常に低速かつ煩雑になるといった問題があった。

【0007】また、分散メモリ型等では、他プロセッサのメモリをアクセスする手段として、ソフトウェアを介して通信によってデータのやりとりを行うか、アクセスアドレスの一部をプロセッサ番号に置き換えてアクセスするようなハードウェアを有するものもあるが、ジョブ毎にアドレス空間を仮想化して、同一ジョブを実行する各プロセッサからのアドレス空間の見え方を同一にすることが困難であった。

【0008】本発明の目的は、複数のプロセッサまたは複数のクラスタにまたがってジョブが実行される場合にアドレス空間の仮想化を容易にすることにある。

【0009】また、本発明の目的は、プログラミングを容易にし、データのアクセスを高速にすることにある。

【0010】

【課題を解決するための手段】上記課題を解決するために本発明のマルチプロセッサシステムは、少なくとも一つのプロセッサと主記憶装置とを各々含む複数のクラスタを有するマルチプロセッサシステムにおいて、前記各主記憶装置に対するアドレスとしてジョブ毎に異なる仮想アドレスを付与する。

【0011】また、本発明の他のマルチプロセッサシステムは、少なくとも一つのプロセッサとアドレス変換装置と主記憶装置とを各々含む複数のクラスタを相互結合ネットワークを介して結合するマルチプロセッサシステムにおいて、前記プロセッサの各々は、実行中のジョブの識別番号を保持するジョブ識別番号レジスタを有して仮想アドレスの一部として前記識別番号を出力し、前記アドレス変換装置は、当該クラスタ内のプロセッサからのメモリリクエストおよび当該クラスタ以外のクラスタからのメモリアクセスリクエストのいずれか一つについて、当該クラスタ内の主記憶装置に対するリクエストで

あるかまたは当該クラスタ以外のクラスタの主記憶装置に対するリクエストであるかを判断して、当該クラスタ内の主記憶装置に対するリクエストであれば前記仮想アドレスを当該クラスタ内の主記憶装置の物理アドレスに変換し、当該クラスタ以外のクラスタの主記憶装置に対するリクエストであればそのアクセス先クラスタの番号を生成して前記相互結合ネットワークに転送する。

【0012】本発明の他のマルチプロセッサシステムは、少なくとも一つのプロセッサとアドレス変換装置と主記憶装置とを各々含む複数のクラスタを相互結合ネットワークを介して結合するマルチプロセッサシステムにおいて、前記プロセッサの各々は、実行中のジョブの識別番号を保持するジョブ識別番号レジスタを有して仮想アドレスの一部として前記識別番号を出力し、前記アドレス変換装置は、当該クラスタ内のプロセッサからのメモリリクエストおよび当該クラスタ以外のクラスタからのメモリアクセスリクエストのいずれか一つを選択し、当該クラスタ内の主記憶装置に対するリクエストであるかまたは当該クラスタ以外のクラスタの主記憶装置に対するリクエストであるかを判断する競合調停回路と、当該クラスタ内の主記憶装置に対するリクエストについて前記仮想アドレスを当該クラスタ内の主記憶装置の物理アドレスに変換して当該クラスタ内の主記憶装置にアクセスするクラスタ内アドレス変換回路と、当該クラスタ以外のクラスタの主記憶装置に対するリクエストであればそのアクセス先クラスタに一意に付与された物理クラスタ番号を生成してそのクラスタにリクエストを転送するクラスタ外アドレス変換回路とを含む。

【0013】また、本発明の他のマルチプロセッサシステムにおいて、前記仮想空間は、前記ジョブ識別番号と、ジョブ毎に前記クラスタに対して付与される論理クラスタ番号と、論理アドレスの管理単位である部分空間に付与される部分空間番号と、前記部分空間内のオフセットアドレスとから成る仮想アドレスにより識別され、前記クラスタ内アドレス変換回路は、前記物理アドレスの一部を複数の階層に前記ジョブ識別番号と前記部分空間番号との対により索引されるクラスタ内アドレス変換テーブルを有し、前記クラスタ外アドレス変換回路は、前記ジョブ識別番号と前記物理クラスタ番号との対を複数の階層に前記ジョブ識別番号と前記論理クラスタ番号との対により索引されるクラスタ外アドレス変換テーブルを有する。

【0014】また、本発明の他のマルチプロセッサシステムにおいて、前記プロセッサは、当該クラスタ内の主記憶装置に対するメモリアクセスリクエストを発行する際にはクラスタ内アクセスである旨を示すように前記論理クラスタ番号を置換し、前記競合調停回路は、他クラスタからのメモリアクセスリクエストについてクラスタ内アクセスである旨を示すように前記論理クラスタ番号を置換する。

【0015】また、本発明の他のマルチプロセッサシステムにおいて、前記クラスタ外アドレス変換回路は、前記部分空間番号を物理アドレスの一部に変換する。

【0016】また、本発明の他のマルチプロセッサシステムにおいて、前記プロセッサは、クラスタ内アドレス変換テーブルを有し、クラスタ内の主記憶装置にアクセスする際には物理アドレスを出力する。

【0017】

【実施例】次に本発明のマルチプロセッサシステムの一実施例について図面を参照して詳細に説明する。

【0018】図1を参照すると、本発明の一実施例であるマルチプロセッサシステムは、 $n$ 個のクラスタ100-1～ $n$ を相互結合ネットワークで結合して構成されている。このクラスタ100-1～ $n$ の各々は、 $m$ 個のプロセッサ110-1～ $m$ と、アドレス変換装置200と、主記憶装置300を含んで構成され、それぞれアドレス変換装置を介して相互結合ネットワーク400と結合される。

【0019】プロセッサ110-1～ $m$ の各々は、各プロセッサで実行中のジョブ識別番号を保持するジョブ番号レジスタ111と、メモリアクセスの際のジョブ内仮想アドレスを保持するジョブ内仮想アドレスレジスタ112を含んでいる。メモリアクセスの際には、これらジョブ番号レジスタ111とジョブ内仮想アドレスレジスタ112とを結合して生成される仮想アドレスを信号線119によりアドレス変換装置200に与える。

【0020】図2を参照すると、アドレス変換装置200は、当該クラスタ内のプロセッサ110-1～ $m$ からの仮想アドレス119-1～ $m$ と相互結合ネットワーク400を介して他クラスタから与えられる仮想アドレス209とを調停する競合調停回路210と、調停されたアドレスがクラスタ内のものであった場合にそのアドレスをクラスタ内の主記憶装置300に対する物理アドレスに変換するクラスタ内アドレス変換回路220と、調停されたアドレスがクラスタ外のものであった場合にそのアドレスをリモートアドレスに変換するクラスタ外アドレス変換回路230とを含んでいる。

【0021】競合調停回路210は、当該クラスタ内のプロセッサ110-1～ $m$ からの仮想アドレス119-1～ $m$ と相互結合ネットワーク400を介して他クラスタから与えられるリモートアドレス209との、計 $(m+1)$ 個のアドレスから一つのアドレスを選択する。このアドレスの選択にあたっては、各アドレスに固定的に優先順序を予め決めておく方法や、毎回優先順序を巡回していく方法（一般に「ラウンドロビン」とよばれる）等を使用することができる。このようにして選択されたアドレスは、当該クラスタ内の主記憶装置300に対するものであればクラスタ内アドレス変換回路220に与えられ、他クラスタの主記憶装置300に対するものであればクラスタ外アドレス変換回路230に与えられ

る。クラスタ内であるかクラスタ外であるかは、以下に説明するように論理クラスタ番号により判断できる。

【0022】図3を参照すると、各プロセッサから出力される論理アドレスは、プロセッサにおいて実行中のジョブを一意に識別するためのジョブ識別番号（JID: Job Identification number）と、アクセスすべき主記憶装置の存在するクラスタの論理クラスタ番号（LCL: Local Cluster number）と、論理クラスタにおける部分空間を識別する部分空間番号（PS: Partial Space number）と、部分空間内オフセットアドレス（OA: Offset Address）とから構成される。ジョブ識別番号は、プロセッサ110内のジョブ番号レジスタ111に保持されていたものであり、論理クラスタ番号、部分空間番号および部分空間内オフセットアドレスから成るジョブ内仮想アドレスは、ジョブ内仮想アドレスレジスタ112に保持されていたものである。

【0023】ジョブ識別番号は、マルチプロセッサシステム内で一意に付与される、各ジョブを識別するための番号である。このジョブ識別番号を論理アドレスに組み込むことによって、ジョブ毎に固有のアドレス空間を管理することが可能となる。

【0024】論理クラスタ番号は、ジョブ毎に一意に付与される、各クラスタを識別するための番号である。これに対して、マルチプロセッサシステム内で一意に付与される、各クラスタに物理的に与えられる番号を物理クラスタ番号という。論理クラスタ番号により識別されるクラスタをいずれの物理クラスタに割り当てるかは、例えばオペレーティングシステム等により行われる。

【0025】ここで、上記のようにして割り当てられた論理クラスタについて、例外規則を設ける。すなわち、通常は論理クラスタ番号として1以上の番号を割り当てておいて、プロセッサが自クラスタ内の主記憶装置に対してアクセスする場合には実際の論理クラスタ番号の代わりに論理クラスタ番号として"0"を付与することとする。これにより、この論理クラスタ番号を参照することによってクラスタ内のアクセスであるか、クラスタ外へのアクセスであるかをアドレス変換を経ることなく即座に判断することができる。このような仮想アドレス付与を行うことによって、仮想アドレス空間がクラスタ間で一部重複するおそれがあるが、論理クラスタ番号が"0"のものはクラスタ外に出さないように制御されるため、実際にアドレスの競合が発生するわけではない。また、逆にクラスタ内のアクセスであるにも拘わらず論理クラスタ番号"0"の置換を行わなかった場合には、クラスタ外アドレス変換回路230から相互結合ネットワーク400を経て再びそのクラスタに戻ってきた際に、論理クラスタ番号"0"の置換が行われるので、アクセスは確実に行われる。

【0026】部分空間は、仮想空間を管理する単位として設けられたものであり、オフセットアドレスの部分に

についてはアドレス変換を経ないで物理アドレスの一部として使用することができる。

【0027】図4を参照すると、クラスタ内アドレス変換回路220は、競合調停回路210からのアドレス212を保持するクラスタ内アクセスレジスタ223と、クラスタ内アドレス変換テーブル222と、アドレス変換後の物理アドレスを保持する物理アドレスレジスタ224とを有している。クラスタ内アドレス変換テーブル222は、物理アドレスの上位部分を複数エントリ有し、ジョブ識別番号と部分空間番号とにより索引される。これにより、ジョブ識別番号と部分空間番号とからなる仮想アドレスの一部分を物理アドレスの上位部分に変換する。このようにして変換された物理アドレスの上位部分とオフセットアドレスとを結合することにより物理アドレスを形成することができる。この物理アドレスは物理アドレスレジスタ224に保持されて、当該クラスタ内の主記憶装置300へのアクセスに使用される。

【0028】図5を参照すると、クラスタ外アドレス変換回路230は、競合調停回路210からのアドレス213を保持するクラスタ外アクセスレジスタ233と、クラスタ外アドレス変換テーブル232と、リモートアドレスを保持するリモートアドレスレジスタ234とを有している。リモートアドレスとは、当該アドレスにより指示される主記憶装置を有するクラスタにおける仮想アドレスをいう。但し、図3における仮想アドレスが論理クラスタ番号を有するのに対し、リモートアドレスレジスタ234に保持されるリモートアドレスは物理クラスタ番号（PCL）を含む。この物理クラスタ番号は信号線238により相互結合ネットワーク400に与えられ、信号線239による他のアドレス部分を当該物理クラスタ番号により指示されるクラスタに転送される。転送先のクラスタでは、論理クラスタ番号の部分が“0”の仮想アドレスとして、このリモートアドレスを取り扱うこととする。これにより、他クラスタから転送されたリクエストは必ずクラスタ外アドレス変換回路230ではなくクラスタ内アドレス変換回路220に入力されることになる。

【0029】クラスタ外アドレス変換テーブル232は、リモートアドレスの上位部分を複数エントリ有し、ジョブ識別番号と論理クラスタ番号とにより索引される。これにより、ジョブ識別番号と論理クラスタ番号とからなる仮想アドレスの一部分をリモートアドレスの上位部分に変換する。部分空間番号と部分空間内オフセットアドレスについてはそのまはりモートアドレスの下位部分として使用される。

【0030】次に、本発明のマルチプロセッサシステムの上記一実施例の動作について図面を参照して説明する。

【0031】図1、図2および図6を参照すると、クラスタ#1のプロセッサ%1から発行されたメモリアクセ

スリクエストは、クラスタ#1内の他のプロセッサからのリクエストや他クラスタからのリクエストとの競合に関して、アドレス変換装置200内の競合調停装置210により調停される（ステップ601）。調停の結果そのリクエストが選択されると、アドレス変換装置200では、そのリクエストがクラスタ内の主記憶装置に対するものかクラスタ外の主記憶装置に対するものかが判断される（ステップ602）。すなわち、そのリクエストの仮想アドレスの論理クラスタ番号が“0”であればクラスタ内へのアクセスであり、“0”でなければクラスタ外であると判断される。

【0032】ステップ602によりクラスタ外へのリクエストであると判断されたものとする、クラスタ外アドレス変換回路230は、そのリクエストの論理アドレスをリモートアドレスに変換する（ステップ603）。この結果、物理クラスタがクラスタ#3であったとすると、そのリクエストは、相互結合ネットワーク400を介してクラスタ#3に転送される（ステップ604）。

【0033】メモリアクセスリクエストを受け取ったクラスタ#3では、クラスタ#3内のプロセッサからのリクエストとの競合に関して、アドレス変換装置200内の競合調停装置210により調停される（ステップ605）。調停の結果そのリクエストが選択されると、論理クラスタ番号が“0”となっていることからクラスタ内へのリクエストであると判断して、クラスタ内アドレス変換回路220は、そのリクエストの論理アドレスを物理アドレスに変換する（ステップ606）。これにより、所望の主記憶装置へのアクセスを行うことができる（ステップ607）。当該アクセスが読み出しである場合には、リクエストが供給されたバスを遡ってアクセス元のクラスタにリードデータが供給される。

【0034】もし、クラスタ#1のプロセッサ%1から発行されたメモリアクセスリクエストが、クラスタ#1内の主記憶装置へのアクセスであった場合には、競合調停後（ステップ601）、クラスタ内アドレス変換回路220が、そのリクエストの論理アドレスを物理アドレスに変換して（ステップ606）、主記憶装置300へのアクセスが行われる（ステップ607）。

【0035】このように、本発明の一実施例であるマルチプロセッサシステムによれば、各クラスタ100を識別する番号をジョブ毎に別個に論理クラスタ番号LCLとして設けたことにより、仮想アドレスから物理アドレスへの変換を容易にし、プログラミングの容易化やデータアクセスの高速化を図ることができる。すなわち、1つのジョブを複数のタスクに分割して各々のタスクを並列に処理するような場合、物理的にはクラスタ間をまたがって散在しているデータであっても論理アドレスとしては1つの空間内にあるものとして管理することができる。しかも、クラスタ内のアクセスに関しては論理クラスタ番号を“0”としておくことにより、アドレス変換

を経ずに主記憶装置へアクセスすることができる。

【0036】なお、上記実施例ではクラスタ外アドレス変換回路230においてはリモートアドレスを得るように構成しているが、部分空間番号をも変換して物理アドレスを直接得るように構成することもできる。この場合、クラスタ間に跨ってアドレス変換テーブルの管理を行わなければならないが、管理が煩雑となるが、アクセス先クラスタにおけるクラスタ内アドレステーブルが不要になるという利点がある。また、上記実施例ではクラスタ内の各プロセッサから、クラスタ内主記憶装置へのアクセスはアドレス変換ユニットで一元化されてアクセスされるような構成になっているが、クラスタ内のアクセスに関しては各プロセッサでアドレス変換テーブルの写しを備えることにより、直接主記憶装置にアクセスするように構成することもできる。

【0037】

【発明の効果】以上の説明で明らかなように、本発明によると、論理クラスタ番号をジョブ毎に別個に設け、自クラスタへのアクセスの際には論理クラスタ番号を"0"と置換しておくことにより、仮想アドレスから物理アドレスへの変換を容易にし、プログラミングの容易化やデータアクセスの高速化を図ることができる。

【図面の簡単な説明】

【図1】本発明のマルチプロセッサシステムの一実施例の構成を示すブロック図である。

【図2】本発明の一実施例のマルチプロセッサシステムにおけるアドレス変換装置の構成を示すブロック図である。

【図3】本発明における仮想アドレスの一例を示す図である。

【図4】本発明の一実施例のマルチプロセッサシステムにおけるクラスタ内アドレス変換回路の構成を示すブロック図である。

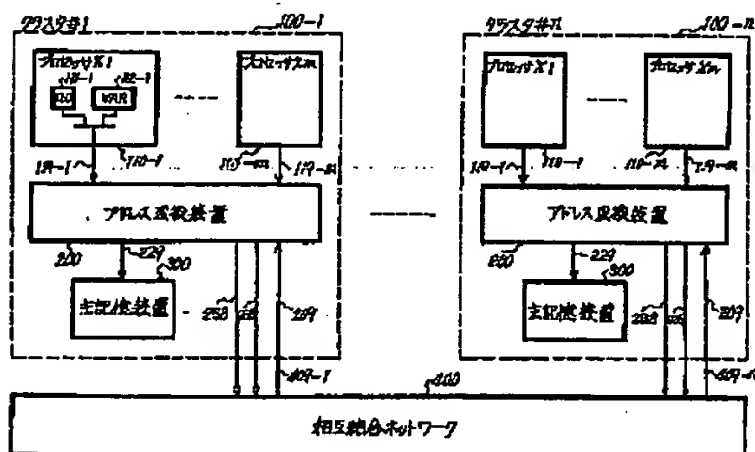
【図5】本発明の一実施例のマルチプロセッサシステムにおけるクラスタ外アドレス変換回路の構成を示すブロック図である。

【図6】本発明の一実施例のマルチプロセッサシステムの動作を表す図である。

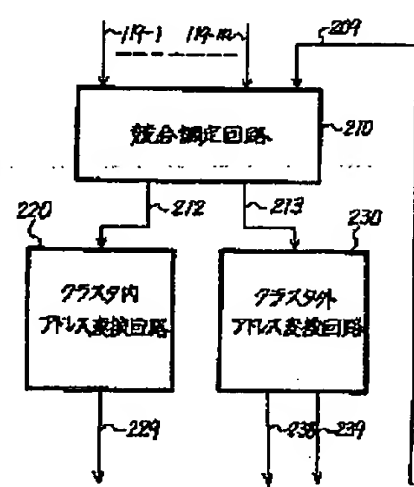
【符号の説明】

- 100 クラスタ
- 110 プロセッサ
- 111 ジョブ番号レジスタ
- 112 仮想アドレスレジスタ
- 200 アドレス変換装置
- 210 競合調停回路
- 220 クラスタ内アドレス変換回路
- 222 クラスタ内アドレス変換テーブル
- 223 クラスタ内アクセスレジスタ
- 224 物理アドレスレジスタ
- 230 クラスタ外アドレス変換回路
- 232 クラスタ外アドレス変換テーブル
- 233 クラスタ外アドレス変換レジスタ
- 234 リモートアドレスレジスタ
- 300 主記憶装置
- 400 相互結合ネットワーク

【図1】



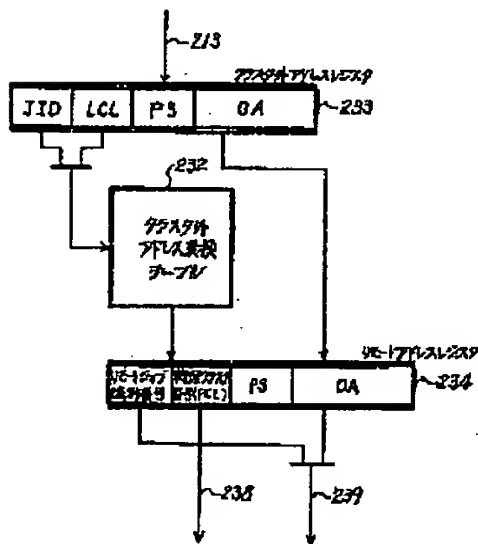
【図2】



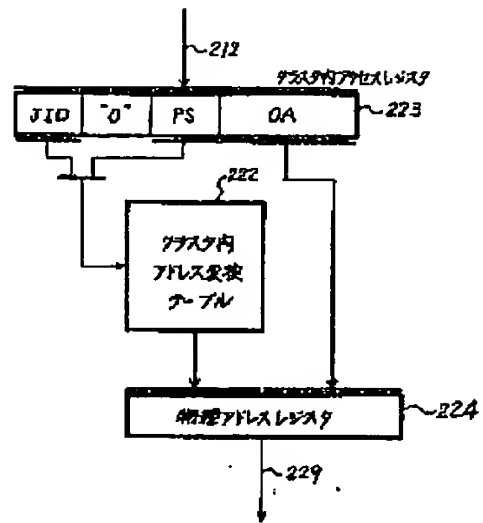
【図3】

シブ識別 番号(JID)	論理アドレス 番号(LCL)	部分空間 番号(PS)	部分空間内 オフセットアドレス(OA)
-----------------	-------------------	----------------	------------------------

【図5】



【図4】





【図6】

